

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068670

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

H01L 29/78

H01L 21/28

(21)Application number : 11-243446

(71)Applicant : NEC CORP

(22)Date of filing : 30.08.1999

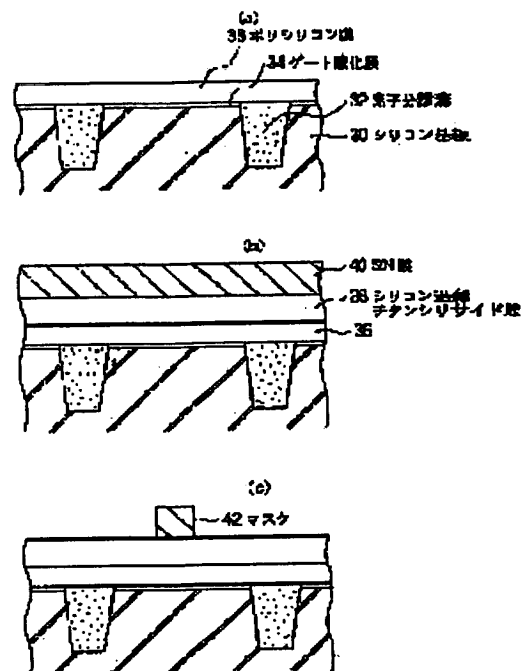
(72)Inventor : NIIMURA TOSHIKI

## (54) FABRICATION OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a method for fabricating a semiconductor device in which a polycide electrode having low layer resistance, high layer resistance stability and stabilized profile can be formed.

SOLUTION: The method for fabricating a semiconductor device comprises a step for forming a polysilicon film 36 containing impurities on a semiconductor substrate 30 through a gate insulation film 34 when the gate electrode of a MOSFET is formed, a step for forming an amorphous titanium silicide film 38 having composition ratio of Ti and Si in the range of 1:2.3 to 1:2.5 on the polysilicon film by sputtering, a step for crystallizing the amorphous titanium silicide film by heat treatment, a step for patterning a multilayer film of the titanium silicide film and the polysilicon film according to the profile of a gate electrode, and a step for forming a thin film of SiO<sub>2</sub> on the substrate surface and the side face of the multilayer film forming the gate electrode by subjecting the substrate on which the gate electrode is formed to quick thermal oxidation.



## LEGAL STATUS

[Date of request for examination] 10.07.2000

[Date of sending the examiner's decision of rejection] 12.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

4 decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

-  
-  
-  
-

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-68670  
(P2001-68670A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 T 5 F 0 4 0

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平11-243446

(22) 出願日 平成11年8月30日 (1999.8.30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 新村 俊樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096231

弁理士 郡 短 清

Fターム (参考) 4M104 AA01 BB01 BB25 CC01 DD37

DD68 GG14

5F040 DD01 EC01 FC07 EC13 EK05

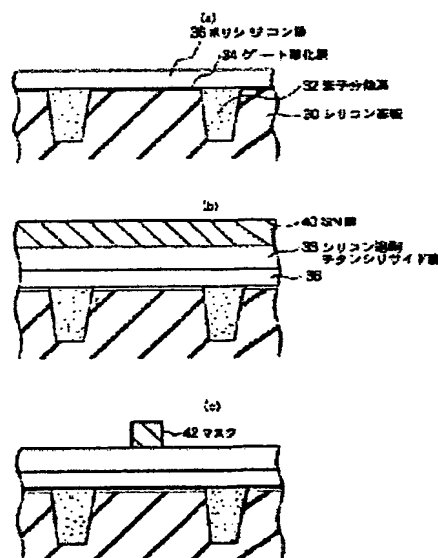
FC21

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 層抵抗が低く、しかも層抵抗安定性が高く、かつ形状的に安定したポリサイド電極を形成できるようにした、半導体装置の製造方法を提供する。

【解決手段】 本方法は、MOSFETのゲート電極を形成するに当たり、ゲート絶縁膜34を介して半導体基板30上に、不純物を含有させたポリシリコン膜36を成膜する工程と、ポリシリコン膜上に、スパッタ法によりTiとSiとの組成比率がTi:Si=1:2、3以上Ti:Si=1:2、5以下の非晶質チタンシリサイド膜38を成膜する工程と、非晶質チタンシリサイド膜に熱処理を施して結晶化させる結晶化工程と、チタンシリサイド膜とポリシリコン膜からなる積層膜をパターニングして、ゲート電極の形状に加工するパターニング工程と、ゲート電極を形成した基板に急速熱酸化処理を施して、基板面及びゲート電極を形成する積層膜の側面にSiO<sub>2</sub>薄膜を生成する工程とを備える。



【特許請求の範囲】

【請求項 1】 MOSFET のゲート電極を形成するに当たり、

ゲート絶縁膜を介して半導体基板上に、不純物を含有させたポリシリコン膜を成膜する工程と、  
ポリシリコン膜上に、スパッタ法によりTiとSiとの組成比率がTi:Si=1:2、3以上Ti:Si=

1:2、5以下の非晶質チタンシリサイド膜を成膜する工程と、

非晶質チタンシリサイド膜に熱処理を施して結晶化させる結晶化工程と、  
チタンシリサイド膜とポリシリコン膜からなる積層膜をパターニングして、ゲート電極の形状に加工するパターニング工程と、

ゲート電極を形成した基板に急速熱酸化処理を施して、ゲート電極を形成する積層膜の側面及び基板面にSiO<sub>2</sub>薄膜を生成する急速熱酸化処理工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 2】 非晶質チタンシリサイド膜を成膜した後、チタンシリサイド膜上に窒化シリコン膜を成膜し、次いで結晶化工程の後、パターニング工程の前に、窒化シリコン膜をパターニングしてゲート電極形成領域を覆うマスクを形成する工程を有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 MOSFET のゲート電極を形成するに当たり、

ゲート絶縁膜を介して半導体基板上に、不純物を含有させたポリシリコン膜を成膜する工程と、

400℃以上の基板温度で、ポリシリコン膜上に、スパッタ法によりTiとSiとの組成比率がTi:Si=1:2、3以上Ti:Si=1:2、5以下の結晶化されたチタンシリサイド膜を成膜する工程と、

チタンシリサイド膜とポリシリコン膜からなる積層膜をパターニングして、ゲート電極の形状に加工するパターニング工程と、

ゲート電極を形成した基板に急速熱酸化処理を施して、ゲート電極を形成する積層膜の側面及び基板面にSiO<sub>2</sub>薄膜を生成する急速熱酸化処理工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 4】 結晶化されたチタンシリサイド膜を成膜した後、パターニング工程の前に、チタンシリサイド膜上に窒化シリコン膜を成膜し、続いて窒化シリコン膜をパターニングしてゲート電極形成領域を覆うマスクを形成する工程を有することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 急速熱酸化処理工程では、950℃以上1050℃以下の温度の酸素雰囲気中に30秒以上90秒以下の時間、基板を保持し、膜厚4nm以上8nm以下のSiO<sub>2</sub>薄膜を生成することを特徴とする請求項 1 から 4 のうちのいずれか 1 項 に記載の半導体装置の製造

方法。

【請求項 6】 急速熱酸化処理工程の後に、ゲート電極の側面に沿って窒化シリコン膜からなるサイドウォールを形成する工程を備えていることを特徴とする請求項 1 から 5 のうちのいずれか 1 項 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法。更に詳細には、ポリサイド・ゲート電極を形成するに当たり、層抵抗が低く、しかも層抵抗安定性が高く、かつ形状的に安定したポリサイド・ゲート電極を形成できるようにした、半導体装置の製造方法を提供するに関するものである。

【0002】

【従来の技術】 ポリシリコン層と、その上に成膜されたチタンシリサイド層との2層構造のゲート電極、所謂チタンポリサイド・ゲート電極は、近年、低抵抗のゲート電極として多用されている。ここで、図4及び図5を参照して、ポリサイド・ゲート電極の従来の形成方法を説明する。図4(a)から(c)及び図5は、それぞれ従来の方法に従って、ポリサイド・ゲート電極を形成する際の工程毎の基板断面図である。先ず、図4(a)に示すように、シリコン基板10にシャロー・トレンチ・アイソレーション(Shallow Trench Isolation, STI)、すなわち素子分離溝12による素子分離を行い、素子形成領域にゲート酸化膜14を成膜し、更に、ゲート酸化膜14上にポリシリコン膜16を成膜する。続いて、図4(b)に示すように、ポリシリコン層16上にスパッタ法によりTiとSiとの組成比率がTi:Si=1:2のTiSi<sub>2</sub>膜18を成膜し、続いてSiN膜20を成膜する。次いで、図4(c)に示すように、SiN膜20をパターニングして、ゲート電極を覆う開口パターンを有するエッチングマスク22を形成する。

【0003】 続いて、図5に示すように、エッチングマスク22を用いて、TiSi<sub>2</sub>膜18、ポリシリコン層16及びゲート酸化膜14をエッチングして、ゲート酸化膜14上でエッチングマスク22の下にTiSi<sub>2</sub>膜18及びポリシリコン層16の2層積層膜からなるゲート電極を形成する。

【0004】

【発明が解決しようとする課題】 ところで、上述のチタンポリサイド電極の形成方法では、SiN膜をマスクにして、TiSi<sub>2</sub>膜、ポリシリコン膜及びゲート酸化膜をエッチングして、ゲート電極の形状にパターニングした際、シリコン基板上にダメージ層が発生するという問題があった。そこで、本発明者は、RTO(Rapid Thermal Oxidization、急速熱酸化処理)を施して、上述のパターニング工程で生じたシリコン基板のダメージ層を酸化して、残留させても影響が殆どない膜厚の薄いSi

02 膜に転化させることによりダメージ層を回復することを考えた。特に、窒化シリコン膜でゲート電極にサイドウォールを形成する際には、基板面にSiO<sub>2</sub>膜が存在すると、トランジスタのホットキャリア耐性劣化が防止されるため好ましい。

【0005】しかし、チタンポリサイド構造のゲート電極を有する基板にRTO (Rapid Thermal Oxidization、急速熱酸化処理) を施すことは技術的に難しいと報告されている。例えば、IEEEの1998年の論文、IEDM98の389頁から392頁にその旨の記載がある。現に、本発明者が、ランプアニーラを使って、温度1000℃の酸素雰囲気中で60秒のRTO処理を施して、図6に示すように、上述のパターニング工程で生じたシリコン基板10のダメージ層を酸化して、酸化膜24にすることを試みた。酸化膜は、薄いSiO<sub>2</sub>膜程度の酸化膜であって、低散層形成のためのイオン注入の際の保護膜としても機能する。

【0006】しかし、報告にある通り、チタンポリサイド構造のゲート電極を有する基板にRTO処理を施すことは技術的に難しく、ゲート電極の積層構造に制限がけが生じたり、ゲート電極の積層構造が、図7に示すように崩れたりすることが多かった。この結果、ゲート電極の層抵抗が上昇し、また、層抵抗安定性が低いという問題があった。これでは、電極抵抗を低下させるために、ゲート電極をポリサイド化している意義が無くなる。また、以上の例では、ゲート電極を例にしてチタンポリサイド層の問題を説明したが、これはゲート電極に限らず、チタンポリサイド層を使用する配線にも該当する問題である。

【0007】そこで、本発明の目的は、ポリサイド・ゲート電極を形成するに当たり、層抵抗が低く、しかも層抵抗安定性が高く、かつ形状的及び積層構造的に安定したポリサイド・ゲート電極を形成できるようにした、半導体装置の製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明者は、上述したゲート電極部の制限がけ現象は、TiSi<sub>2</sub>膜中のTiが酸化され、表面酸化膜形成によりTiSi<sub>2</sub>膜の平坦性が崩れ、TiSi<sub>2</sub>膜とポリシリコン膜との間で凹凸が生じるからではないかと疑った。そこで、Tiの酸化を防ぐために、TiSi<sub>2</sub>膜に代えて、TiとSiとの組成比率がTi:Si=1:2、4のシリコン過剰チタンシリサイド膜をポリシリコン膜上に成膜することを考案した。そして、TiとSiとの組成比率がTi:Si=1:2、4のシリコン過剰チタンシリサイド膜をポリシリコン膜上に形成し、上述したゲート電極形成の従来の方法と同様にして1000℃、60秒のRTO処理を施した試料を調製し、この試料について、図8に示すように、試料の表面から内方に向かって元素組成のデプスプロファイルを作成した。

【0009】図8は、RTO処理を施したシリコン過剰チタンシリサイド膜の表面近傍の元素組成のデプスプロファイルである。横軸は、試料をスパッタエッチングした経過時間を示し、試料表面からの深さに対応する。例えばスパッタエッチング時間10分が、表面から深さ約20nmの位置に対応する。尚、横軸に直接深さを取っていないのは、スパッタエッチングの速度が試料の組成、結晶構造等によって変化するもので、深さに正確に換算できないからである。縦軸は、構成元素の原子数比を示している。図8では数%はノイズであり、従って図示の空室は全深さにわたり現実には検出されていないとすべきである。

【0010】図8から判る通り、約40Åの深さに対応する、スパッタエッチング時間が2分程度では、Tiは極めて少量しか検出されていない。その代わりに、シリコンと酸素とがほぼSi:O=1:2、即ちSiO<sub>2</sub>膜として存在している。RTO処理により、シリコン過剰チタンシリサイド膜の表面はSiO<sub>2</sub>膜に転化していると判断できる。一方、約120Åの深さに対応する、スパッタエッチング時間が6分以降では、チタンとシリコンとがTi:Si=1:2以上の割合で検出されており、深さ約120Åより深い領域ではシリコン過剰チタンシリサイド膜のままであることが示されている。また、Tiが酸化されていないことは、XPSによる分析でも確認している。

【0011】上記目的を達成するために、上述の知見に基づいて、本発明に係る半導体装置の製造方法（以下、第1の発明方法と言う）は、MOSFETのゲート電極を形成するに当たり、ゲート絶縁膜を介して半導体基板の上に、不純物を含有させたポリシリコン膜を成膜する工程と、ポリシリコン膜上に、スパッタ法によりTiとSiとの組成比率がTi:Si=1:2、3以上Ti:Si=1:2、5以下の非晶質チタンシリサイド膜を成膜する工程と、非晶質チタンシリサイド膜に熱処理を施して結晶化させる結晶化工程と、チタンシリサイド膜とポリシリコン膜からなる積層膜をパターニングして、ゲート電極の形状に加工するパターニング工程と、ゲート電極を形成した基板に急速熱酸化処理を施して、ゲート電極を形成する積層膜の側面及び基板面にSiO<sub>2</sub>薄膜を生成する急速熱酸化処理工程とを備えることを特徴としている。

【0012】第1の発明方法で、結晶化工程の後、パターニング工程を実施しているのは、非晶質チタンシリサイド膜が結晶する際に結晶粒径やシリコン析出分布がマスクのパターン幅に依存して、ゲート電極の抵抗がばらつくのを回避するためであり、また膜安定性を向上させるためである。第1の発明方法の好適な実施態様では、パターニング工程のマスクとして窒化シリコン膜からなるマスクを使用する。その際には、非晶質チタンシリサイド膜を成膜した後、チタンシリサイド膜上に窒化シリ

コン膜を成膜し、次いで結晶化工程の後、パターニング工程の前に、窒化シリコン膜をパターニングしてゲート電極形成領域を覆うマスクを形成する工程を有する。

【0013】本発明方法では、必ずしも、非晶質チタンシリサイド膜を成膜する必要もなく、基板温度を高くして、結晶化されたチタンシリサイド膜を成膜しても良い。その際には、本発明に係る半導体装置の製造方法

(以下、第2の発明方法と言う)は、MOSFETのゲート電極を形成するに当たり、ゲート絶縁膜を介して半導体基板上に、不純物を含有させたポリシリコン膜を成膜する工程と、400℃以上の基板温度で、ポリシリコン膜上に、スパッタ法によりTiとSiとの組成比率がTi:Si=1:2、3以上Ti:Si=1:2、5以下の結晶化されたチタンシリサイド膜を成膜する工程と、チタンシリサイド膜とポリシリコン膜からなる積層膜をパターニングして、ゲート電極の形状に加工するパターニング工程と、ゲート電極を形成した基板に急速熱酸化処理を施して、ゲート電極を形成する積層膜の側面及び基板面にSiO<sub>2</sub>薄膜を生成する急速熱酸化処理工程とを備えることを特徴としている。

【0014】第2の発明方法の好適な実施態様では、パターニング工程のマスクとして窒化シリコン膜からなるマスクを使用する。その際には、結晶化されたチタンシリサイド膜を成膜した後、パターニング工程の前に、チタンシリサイド膜上に窒化シリコン膜を成膜し、続いて窒化シリコン膜をパターニングしてゲート電極形成領域を覆うマスクを形成する工程を有する。

【0015】第1及び第2の発明方法の急速熱酸化処理工程では、好適には、950℃以上1050℃以下の温度の酸素雰囲気中に30秒以上90秒以下の時間、基板を保持し、膜厚4nm以上8nm以下のSiO<sub>2</sub>薄膜を生成する。更に、急速熱酸化処理工程の後には、ゲート電極の側面に沿って窒化シリコン膜からなるサイドウォールを形成する工程を備えている。

【0016】第1及び第2の発明方法では、チタンシリサイド膜中の余剰シリコンがゲート電極の側表面で酸化されてSiO<sub>2</sub>膜となるので、チタンシリサイド膜中のTiが酸化されるようなことが生じない。よって、膜剥がれ、層剥がれの上昇等が生じることがなく、かつチタンシリサイド膜の側面の平坦性が向上し、層剥がれが安定する。また、基板面にSiO<sub>2</sub>薄膜を成膜することにより、窒化シリコン膜によるサイドウォールの形成が容易になる。

【0017】

【発明の実施の形態】以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態を具体的に説明する。

実施形態例1

本実施形態例は、第1の発明に係る半導体装置の製造方法の実施形態の一例であって、図1(a)から(c)及

び図2(d)から(f)は、それぞれ、本実施形態例の半導体装置の製造方法に従ってゲート電極を形成した際の各工程毎の基板断面図である。また、図3はチタンシリサイド膜のスパッタ装置の構成を示す断面図である。

本実施形態例では、まず、シリコン基板30に素子分離溝32をSTI技術により形成し、次いで熱酸化炉を使って、温度850℃の酸素ガス雰囲気中で熱酸化処理を施して、図1(a)に示すように、素子形成領域のシリコン基板30上に膜厚5nmのSiO<sub>2</sub>膜をゲート酸化膜34として成膜する。更に、低圧CVD法により、SiO<sub>2</sub>膜34上に膜厚50nmのポリシリコン膜36を成膜する。次いで、不純物、例えばリン(P)をドーピングする。不純物として、例えばリン(P)をドーピングする際には、例えばリン(P)のイオン注入、POC<sub>13</sub>ガスによるリン拡散、更にはポリシリコン膜36の成膜時に成膜チャンバ内にPH<sub>3</sub>ガスを供給し、ポリシリコン膜36の成膜と同時にドーピングしても良い。

【0018】次に、チタンシリサイド膜の成膜工程に移行する。後述するスパッタ装置50を使って、図1

(b)に示すように、TiとSiとの組成比がTi:Si=1:2、4の合金をスパッタターゲットとして、膜厚100nmのシリコン過剰チタンシリサイド膜38をポリシリコン膜36上に堆積させる。基板上にスパッタされるチタンシリサイド膜38の組成は、スパッタターゲットの組成とほぼ等しく、TiSi<sub>2.4</sub>の組成となる。

【0019】チタンシリサイド膜の成膜工程で使用するスパッタ装置50は、図3に示すように、下部に基板ホルダ52を、上部の開口部にターゲットホルダとしてバックリングプレート54とを有するスパッタチャンバ56を備えている。基板ホルダ52は、その上に、チタンシリサイド膜を堆積させるウエハWを載置させる。バックリングプレート54は、中央にターゲットTを保持する。バックリングプレート54の周囲には防電シールド58が設けられ、スパッタチャンバ56の側面にスパッタ粒子が飛散しないようになっている。

【0020】バックリングプレート54は、絶縁体60によりスパッタチャンバ56から電気的に絶縁され、上方にマグネット62を備えている。更に、マフローコントローラ64を有し、スパッタチャンバ56にスパッタガスを供給するガス供給管66がスパッタチャンバ56に接続され、また、スパッタチャンバ56の底部には、スパッタチャンバ56内を排気する排気口68が設けられて、真空吸引装置(図示せず)に接続されている。更に、スパッタ装置50は、バックリングプレート54とスパッタチャンバ56との間に電圧を印加するスパッタ電源70を備える。

【0021】スパッタ時にスパッタチャンバ56に酸素が存在すると、スパッタにより成膜した堆積膜に好ましくない影響を与えるために、スパッタ装置50を運転し

ていない時には、スパッタチャンバ56内を不活性ガスで満たし、 $1 \times 10^{-7}$  Torr以下の圧力に保持する。スパッタ時には、スパッタガスにアルゴン (Ar) を用い、Arガスの圧力を約1.1 Peとし、電源の出力を5 Kwに設定し、電圧を印加してスパッタチャンバ56内にグロー放電を誘起させる。

【0022】次いで、成膜したアモルファス・チタンシリサイド膜38に温度850℃、熱処理時間10秒のRTA (Rapid Thermal Annealing、急速熱処理) を窒素雰囲気中で施して、結晶化する。結晶化は、チタンシリサイド膜の膜安定化のためであるが、パターンニングした後で結晶化すると、結晶化の際の結晶粒径にパターン幅依存性が生じるからである。

【0023】次に、図1 (b) に示すように、プラズマ

CVD法又は低圧CVD法により膜厚100nmのSiN膜40をチタンシリサイド膜38上に成膜する。続いて、フォトリソグラフィ及びCF系のエッチングガスを用いた異方性エッチングによって、図1 (c) に示すように、SiN膜40をパターンニングし、ゲート電極を覆うパターンを有するマスク42を形成する。

【0024】次いで、マスク42を使って、以下の第1エッチング条件又は第2エッチング条件下で、チタンシリサイド膜38、ポリシリコン膜36、及びゲート酸化膜34を異方性ドライエッチング法によりエッチングして、図2 (d) に示すように、ゲート酸化膜34上にポリシリコン膜36とチタンシリサイド膜38との2層積層膜からなるゲート電極の形状にパターンニングする。

#### 第1エッチング条件

スパッタチャンバ圧力: 50 mTorr  
ガス流量: HBr / 100 sccm, O<sub>2</sub> / 3 sccm  
プラズマパワー: 300 W  
基板温度: 40℃

#### 第2エッチング条件

スパッタチャンバ圧力: 30 mTorr  
ガス流量: HBr / 100 sccm, O<sub>2</sub> / 1 sccm  
プラズマパワー: 300 W  
基板温度: 80℃

第1エッチング条件下でのエッチングは、シリコン基板30の基板面のダメージが大きいものの、基板面に対してゲート電極の側面をほぼ垂直に加工することができる。第2エッチング条件下でのエッチングは、第1エッチング条件とは逆に、シリコン基板30の基板面のダメージは小さいものの、基板面に対するゲート電極の側面の垂直性が劣る。

【0025】続いて、図2 (e) に示すように、基板面に生じたダメージ層を酸化するために、次の条件でRTO処理を行い、ゲート電極を構成するポリシリコン膜36及びチタンシリサイド膜38の積層膜の側壁に及び基板面に酸化膜44を形成する。

RTO処理条件

熱処理雰囲気: 酸素雰囲気

熱処理温度: 950℃以上1050℃以下、例えば1000℃

熱処理時間: 30秒以上90秒以下、例えば60秒

基板酸化膜厚: 4nm以上8nm以下

【0026】次に、イオン注入を行って、図2 (f) に示すように、ゲート電極膜のシリコン基板30に不純物拡散領域44を形成する。続いて、低圧CVD法により基板全面に膜厚100nmのSiN膜を成膜し、続いて、異方性ドライエッチングによりSiN膜をエッチバックして、図2 (f) に示すように、ゲート電極側壁にSiN膜からなるLDDサイドウォール46を形成する。

【0027】本実施形態例の方法では、RTO処理により、図2 (e) に示すように、シリコン過剰チタンシリサイド膜38中の余剰シリコンがゲート電極の側面の表面で酸化されてSiO<sub>2</sub>膜となるので、チタンシリサイド膜38中のTiが酸化されることはない。よって、膜剥がれ、層剥離の上昇等が生じることがなく、かつチタンシリサイド膜38の側面の平坦性が向上し、層剥離が安定する。

#### 【0028】実施形態例2

本実施形態例は、第2の発明に係る半導体装置の製造方法の実施形態の一例である。非晶質のシリコン過剰チタンシリサイド膜38を成膜する実施形態例に代えて、本実施形態例では、基板温度を400℃にすることを除いて、同じ条件でスパッタ法により、結晶化されたシリコン過剰チタンシリサイド膜を成膜する。次いで、実施形態例1と同様にしてSiN膜40を成膜し、結晶化のための熱処理を施すことなく、SiN膜40をパターンニングしてマスク42を形成し、以下実施形態例1と同様にしてゲート電極を形成する。本実施形態例の方法でも、実施形態例1と同様に、RTO処理により、シリコン過剰チタンシリサイド膜中の余剰シリコンがゲート電極の側面の表面で酸化されてSiO<sub>2</sub>膜となるので、チタンシリサイド膜中のTiが酸化されることはない。よって、膜剥がれ、層剥離の上昇等が生じることがなく、かつチタンシリサイド膜の側面の平坦性が向上し、層剥離が安定する。

【0029】

【発明の効果】第1及び第2の発明方法によれば、ポリシリコン膜上にスパッタ法によりTiとSiとの組成比率がTi:Si=1:2.3以上Ti:Si=1:2.5以下の非晶質チタンシリサイド膜を成膜し、次いで熱処理を施して結晶化し、又は同じ組成比率で直接結晶化されたチタンシリサイド膜を成膜し、次いでゲート電極の形状に加工するパターニングし、更にゲート電極を形成した基板に急速熱酸化(RTO)処理を施して、基板面及びゲート電極を形成する積層膜の側面にSiO<sub>2</sub>薄層を生成する。これにより、シリコン過剰チタンシリサイド膜中の余剰シリコンがゲート電極の側表面で酸化されてSiO<sub>2</sub>膜となるので、チタンシリサイド膜中のTiが酸化されない。よって、膜剥がれ、層抵抗の上昇等が生じることがなく、かつチタンシリサイド膜の側面の平坦性が向上し、層抵抗が安定したポリサイド電極を形成することができる。

#### 【図面の簡単な説明】

【図1】図1(a)から(c)は、それぞれ、実施形態例の半導体装置の製造方法に従ってゲート電極を形成した際の各工程毎の基板断面図である。

【図2】図2(d)から(f)は、それぞれ、図1(c)に続いて、実施形態例の半導体装置の製造方法に従ってゲート電極を形成した際の各工程毎の基板断面図である。

【図3】チタンシリサイド膜のスパッタ装置の構成を示す断面図である。

【図4】図4(a)から(c)は、それぞれ、従来の方法に従ってポリサイド電極を形成する際の工程毎の基板断面図である。

【図5】図5は、図4(c)に続いて、従来の方法に従ってポリサイド電極を形成する際の工程毎の基板断面図である。

【図6】パターニング工程の後でRTO処理を施す際の

説明図である。

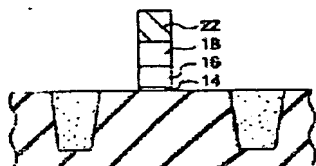
【図7】パターニング工程の後でRTO処理を施した際に生じる問題を説明する説明図である。

【図8】試料の元素組成のデプスプロファイルである。

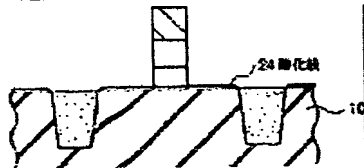
#### 【符号の説明】

- 10 シリコン基板
- 12 素子分離溝
- 14 ゲート酸化膜
- 16 ポリシリコン膜
- 18 TiSi<sub>2</sub>膜
- 20 SiN膜
- 22 エッチングマスク
- 24 酸化膜
- 30 シリコン基板
- 32 素子分離溝
- 34 ゲート酸化膜
- 36 ポリシリコン膜
- 38 シリコン過剰チタンシリサイド膜
- 40 SiN膜
- 42 マスク
- 44 酸化膜
- 46 LDDサイドウォール
- 50 スパッタ装置
- 52 基板ホルダ
- 54 バッキングプレート
- 56 スパッタチャンバ
- 58 防着シールド
- 60 絶縁体
- 62 マグネット
- 64 マスフローコントローラ
- 66 ガス供給管
- 68 排気口
- 70 スパッタ電源

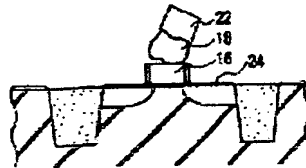
【図5】



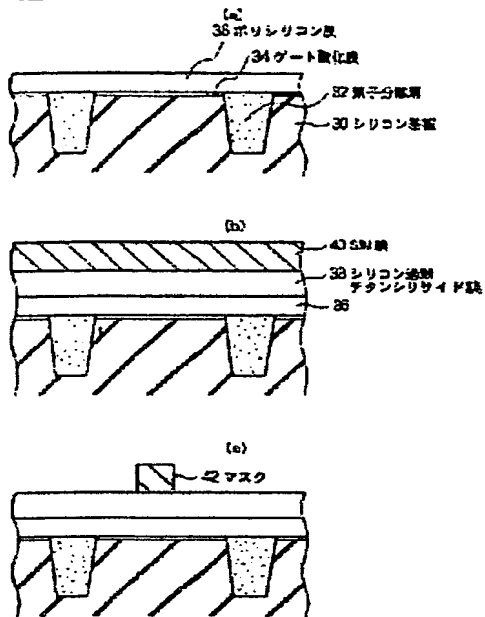
【図6】



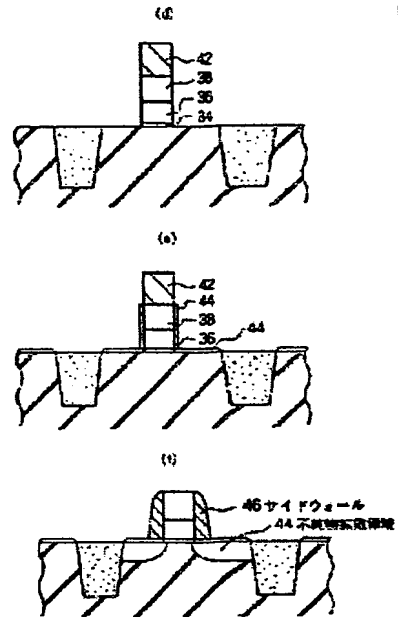
【図7】



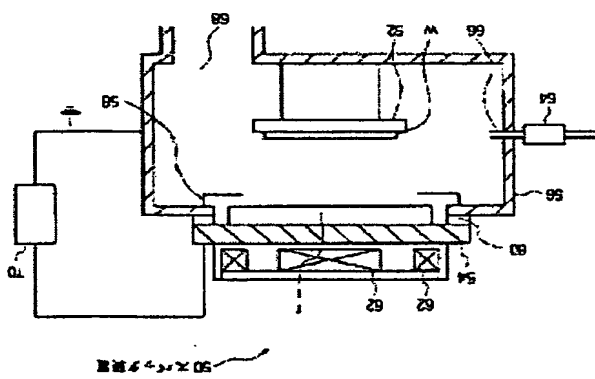
【図1】



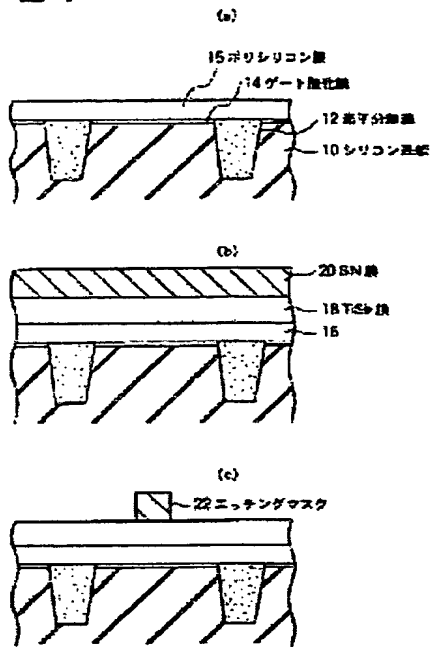
【図2】



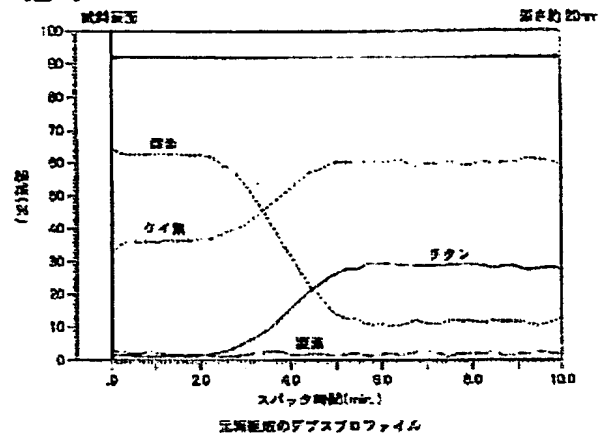
【図3】



【図4】



【図8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**